

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-214267

(43)Date of publication of application : 29.07.2004

(51)Int.Cl.

H01L 21/3205
H01L 21/768

(21)Application number : 2002-379278

(71)Applicant : NEC ELECTRONICS CORP

(22)Date of filing : 27.12.2002

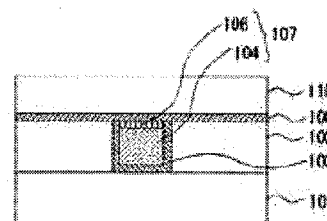
(72)Inventor : KUNIMUNE YORINOBU
HASEGAWA MIEKO
ITO TAKAMASA
TAKEDA TAKESHI
AOKI HIDEMITSU

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device equipped with a metal interconnect line which is markedly improved in electromigration resistance or stress migration resistance.

SOLUTION: A copper interconnect line 107 is composed of a silicon low-concentration region 104 and a silicon solid solution 106 provided on the silicon low-concentration region 104. The silicon solid solution layer 106 has a structure in which silicon is arranged as an interstitial element or a substitutional element in a copper crystal structure forming the copper interconnect line 107. Silicon-containing copper forming the silicon solid solution 106 is kept in a state in which silicon is introduced as an interstitial element or a substitutional element while the silicon-containing copper maintains a copper crystal structure (face-centered cubic lattice; lattice constant 3.6\AA).



Filing info	Patent 2002-379278 (27.12.2002)
Publication info	2004-214267 (29.7.2004)
Detailed info of application	Kind of examiner's decision(Rejection) Kind of final decision(Grant) Date of final decision in examination stage(17.12.2010)
Date of request for examination	(2.11.2005)
Date of sending the examiner's decision of rejection	(5.2.2008)
Appeal/trial info	Trial/Appeal against rejection 2008-005524 Date of demand for appeal/trial(6.3.2008) Approval for Demand for Trial or Opposition Date of final decision in appeal/trial stage(7.12.2010)
Registration info	4647184 (17.12.2010)
Renewal date of legal status	(9.3.2011)

Legal status information includes 8 items below. If any one of them has any data, a number or a date would be indicated at the relevant part.

1. Filing info(Application number, Filing date)
2. Publication info(Publication number, Publication date)
3. Detailed info of application
 - * Kind of examiner's decision
 - * Kind of final decision
 - * Date of final decision in examination stage
4. Date of request for examination
5. Date of sending the examiner's decision of rejection(Date of sending the ex
6. Appeal/trial info
 - * Appeal/trial number, Date of demand for appeal/trial
 - * Result of final decision in appeal/trial stage, Date of final decision in ap
7. Registration info
 - * Patent number, Registration Date
 - * Date of extinction of right
8. Renewal date of legal status

For further details on Legal-Status, visit the following link.[PAJ help\(1-5\)](#)

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-214267

(P2004-214267A)

(43) 公開日 平成16年7月29日(2004.7.29)

(51) Int. Cl.⁷

H01L 21/3205

H01L 21/768

F1

H01L 21/88

H01L 21/90

M

A

テーマコード (参考)

5F033

審査請求 未請求 請求項の数 16 O L (全 21 頁)

(21) 出願番号 特願2002-379278 (P2002-379278)
(22) 出願日 平成14年12月27日 (2002.12.27)(71) 出願人 302062931
NECエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地
100110928
(74) 代理人 弁理士 速水 進治
(72) 発明者 国宗 依信
神奈川県川崎市中原区下沼部1753番地
NECエレクトロニクス株式会社内
(72) 発明者 長谷川 三恵子
神奈川県川崎市中原区下沼部1753番地
NECエレクトロニクス株式会社内
(72) 発明者 伊藤 孝政
神奈川県川崎市中原区下沼部1753番地
NECエレクトロニクス株式会社内

最終頁に続く

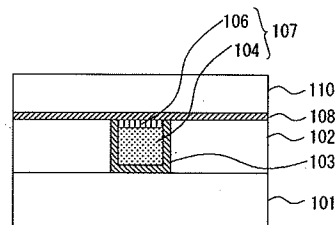
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 エレクトロマイグレーション耐性あるいはストレスマイグレーション耐性を大幅に改善した金属配線を備える半導体装置を提供する。

【解決手段】 銅配線107を、シリコン低濃度領域104と、その上部に設けられたシリコン固溶層106からなる構成とする。シリコン固溶層106は、銅配線107を構成する銅の結晶構造中にシリコンが格子間元素または置換元素として配置された構造となっている。シリコン固溶層106を構成するシリコン含有銅は、銅の結晶構造（面心立方格子；格子定数3.6オングストローム）を維持しつつ格子間元素または置換元素としてシリコンが導入された状態となっている。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

半導体基板と、該半導体基板上に形成された絶縁膜と、該絶縁膜中に埋設された金属配線とを備え、前記金属配線は、固溶原子を含むことを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、

前記金属配線を構成する金属が銅または銅含有合金であることを特徴とする半導体装置。

【請求項 3】

請求項 1 または 2 に記載の半導体装置において、

前記固溶原子の原子半径が 1.4 オングストローム以下であることを特徴とする半導体装置。 10

【請求項 4】

請求項 1 乃至 3 いずれかに記載の半導体装置において、

前記固溶原子はシリコンであることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至 4 いずれかに記載の半導体装置において、

前記固溶原子は前記金属配線の上に偏在していることを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至 5 いずれかに記載の半導体装置において、

前記固溶原子の導入された領域が、前記金属配線表面近傍において固溶層を形成していることを特徴とする半導体装置。 20

【請求項 7】

請求項 6 に記載の半導体装置において、

前記固溶層における前記固溶原子の濃度は、0.1 原子% 以上 9 原子% 以下であることを特徴とする半導体装置。

【請求項 8】

請求項 6 または 7 に記載の半導体装置において、

前記金属配線中、前記固溶層を除く領域における前記固溶原子の濃度は、0.1 原子% 未満であることを特徴とする半導体装置。

【請求項 9】

請求項 6 乃至 8 いずれかに記載の半導体装置において、

前記固溶層の厚みは、前記金属配線の厚みの 40 % 以下であることを特徴とする半導体装置。 30

【請求項 10】

請求項 1 乃至 9 いずれかに記載の半導体装置において、

前記金属配線の上に、SiC、SiN、SiON または SiOC を含む膜をさらに備えることを特徴とする半導体装置。

【請求項 11】

半導体基板上に絶縁膜を形成する工程と、

前記絶縁膜上に金属配線を形成する工程と、 40

前記金属配線を構成する金属とは異なる原子を含むガスを前記金属配線に照射し、前記金属配線中に固溶原子を導入する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 12】

請求項 11 に記載の半導体装置の製造方法において、

前記金属配線を形成する前記工程の後、前記金属配線の上に前記金属配線を構成する金属の酸化層を形成する工程をさらに含み、その後、前記酸化層の表面に前記ガスを照射し、前記金属配線中に固溶原子を導入することを特徴とする半導体装置の製造方法。

【請求項 13】

請求項 11 または 12 に記載の半導体装置の製造方法において、 50

前記酸化層を形成する前記工程は、前記金属配線の表面を有機酸により洗浄した後、純水によりリンスする工程を含むことを特徴とする半導体装置の製造方法。

【請求項 14】

請求項 11 乃至 13 いずれかに記載の半導体装置の製造方法において、前記金属配線中に前記固溶原子を導入した後、前記金属配線上に SiC、SiN、SiON または SiOC を含む膜を形成する工程をさらに含むことを特徴とする半導体装置の製造方法。

【請求項 15】

請求項 11 乃至 14 いずれかに記載の半導体装置の製造方法において、前記金属配線を構成する金属とは異なる前記原子は、シリコンであることを特徴とする半導体装置の製造方法。 10

【請求項 16】

請求項 11 乃至 15 いずれかに記載の半導体装置の製造方法において、前記金属配線を構成する金属は、銅または銅含有金属であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、金属配線を備える半導体装置およびその製造方法に関するものである。

【0002】 20

【従来の技術】

近年における半導体装置の高集積化への要請から、配線やプラグの材料として銅が広く用いられるようになってきた。銅は、従来用いられていたアルミニウムに比べ、抵抗が低く、エレクトロマイグレーション耐性にも優れるという特徴を有している。

【0003】

しかし、素子の微細化がさらに進行するにつれ、こうした銅を用いた配線においてもエレクトロマイグレーションの発生が問題となるようになってきた。銅配線を構成する銅膜は、通常めっき法などにより形成されるが、この場合、銅膜は多数の多結晶構造の銅粒子が集合した形態となる。こうした構造の銅配線に電圧を印加すると、銅粒子の粒界を経由して物質移動が起こり、結果としてエレクトロマイグレーションが発生する。配線幅の小さい配線においては、銅粒子のサイズも小さくなることから、このような粒界を介した物質移動によるマイグレーションの問題はより顕著となる。こうしたエレクトロマイグレーションに対する耐性は素子寿命と密接に関連し、エレクトロマイグレーション耐性に劣る素子は素子寿命が短い。 30

【0004】

一方、銅を用いた配線構造において、最近、ストレスマイグレーションの発生が取り沙汰されている。図 1 は、ダマシン法により形成した銅多層配線の断面模式図である。下層配線 121a の上部に上層配線 121b が接続した構成となっており、上層配線 121b は、接続プラグとその上部に形成された配線からなっている。図 1 (a) では、上層配線 121b 側に空洞 122 が発生している。すなわち、上層配線 121b を構成するビアの部分に空洞が生じている。一方、図 1 (b) では、下層配線 121a の上面に空洞 122 が発生している。このような空洞 122 は、半導体プロセス中の熱履歴等により銅配線中に内部応力が生じることが原因と考えられる。図 1 (a) では、上層配線 121b 中に、銅の「吸い上げ」が起こり、ビア中で銅が上方にマイグレートすることにより空洞 122 が発生するものと考えられる。図 1 (b) では、下層配線 121a 中で水平方向に銅がマイグレートし、この結果、空洞 122 が発生するものと考えられる。こうした応力にもともなう銅の物質移動の現象をストレスマイグレーションという。このような空洞が生じると、接続プラグと配線との接続不良が生じ、半導体装置の歩留が低下したり、長期の使用により半導体装置の動作が不安定になったりする。 40

【0005】 50

特許文献1には、銅配線中にMg、Zr、Sn等の異種元素を導入して銅合金を形成することによりエレクトロマイグレーション耐性を向上できることが記載されている。しかしながら、同文献記載の技術では、銅配線の導電率が上昇する等の問題が生じたことがあった。また、エレクトロマイグレーション耐性の向上にはある程度有効であっても、ストレスマイグレーション耐性の向上を図ることが難しかった。

【0006】

一方、ストレスマイグレーションの発生を抑制する技術として、従来、銅配線の上に銅シリサイド層を形成する技術が知られている。特許文献2には、ストレスマイグレーション耐性等を向上する目的で、銅配線上部にCuシリサイド層が形成する技術が開示されている。しかしながら、こうしたシリサイド層を形成した場合でも、ストレスマイグレーションを完全に抑制することは困難である。

10

【0007】

【特許文献1】

特開平11-204524号公報

【特許文献2】

特開平9-321045号公報

【0008】

【発明が解決しようとする課題】

本発明は上記事情に鑑みなされたものであって、その目的とするところは、従来技術に比し、エレクトロマイグレーション耐性あるいはストレスマイグレーション耐性を大幅に改善した金属配線を備える半導体装置を提供することにある。

20

さらに本発明は、こうした半導体装置を安定的に製造できるプロセスを提供することを目的とする。

【0009】

【課題を解決するための手段】

本発明によれば、半導体基板と、該半導体基板上に形成された絶縁膜と、該絶縁膜中に埋設された金属配線とを備え、前記金属配線は、固溶原子を含むことを特徴とする半導体装置が提供される。

【0010】

この半導体装置は、固溶原子を含む金属配線を備えている。ここで、「固溶」とは二種類の物質が固体で互いに溶けた状態をいい、銅シリサイドのようなシリサイド化合物に代表される金属間化合物を含まない。「固溶」は置換型と侵入型の2種類に大別される。置換型固溶とは、結晶を構成する格子が異種原子により置換された形態の固溶状態をいう。侵入型固溶とは、結晶を構成する格子の間の空間に異種原子が配置された形態の固溶をいう。

30

【0011】

本発明における金属配線は、固溶原子を含む構成を有し、これにより、優れたエレクトロマイグレーション耐性およびストレスマイグレーション耐性を実現している。

【0012】

なお、従来技術の項において銅配線の表面にシリサイドを形成した構成を記載したが、これは上述のように金属間化合物に相当する。シリサイドを設けた構成では、後述するように十分なストレスマイグレーション耐性が得られないことがある。

40

【0013】

また本発明によれば、半導体基板上に絶縁膜を形成する工程と、前記絶縁膜上に金属配線を形成する工程と、前記金属配線を構成する金属とは異なる原子を含むガスを前記金属配線に照射し、前記金属配線中に固溶原子を導入する工程と、を含むことを特徴とする半導体装置の製造方法が提供される。

【0014】

本発明の方法によれば、エレクトロマイグレーション耐性やストレスマイグレーション耐性に優れる半導体装置を安定的に得ることができる。

50

【0015】

本発明の半導体装置の製造方法において、前記金属配線を形成する前記工程の後、前記金属配線の上に前記金属配線を構成する金属の酸化層を形成する工程をさらに含み、その後、前記酸化層の表面に前記ガスを照射し、前記金属配線中に固溶原子を導入する構成とすることができる。また、前記酸化層を形成する前記工程は、前記金属配線の表面を有機酸により洗浄した後、純水によりリンスする工程を含む構成とすることができる。こうすることによって、上記特性を有する半導体装置を安定的に得ることができる。

【0016】

さらに、前記金属配線中に前記固溶原子を導入した後、前記金属配線上にSiC、SiN、SiONまたはSiOCを含む膜を形成する工程をさらに含む構成とすることができる。こうした材料からなる膜を配線上に形成することによって、隣接配線間の寄生容量の増大を最小限に低減しつつ金属配線を構成する金属が層間絶縁膜へ拡散することを効果的に抑制することができる。

【0017】

本発明において、金属配線を構成する金属は、銅または銅含有合金とすることができる。固溶原子は、金属配線を構成する金属結晶に対して、侵入型または置換型の形態で導入され得る性状および大きさを有する。構成配線を銅または銅含有合金とする場合、固溶原子の原子半径は1.4オングストローム以下とすることが望ましい。こうすることにより、ストレスマイグレーション耐性に優れる固溶体を安定的に実現することができる。

【0018】

固溶原子としては、Si、Al、Be、Zn、Au、Ga、Mg、Ni、Pd、Pt等を例示することができる。このうち、より優れたストレスマイグレーション耐性を得る観点から、Si、Al、Be、Zn、Au、Ga、Mg、Ni、Pdが好ましく、さらに、高いストレスマイグレーション耐性を安定的にかつ歩留まり良く得る観点から、Si、Al、Be、Znが好ましい。本発明においては、こうした原子を固溶原子として金属配線に導入する。このような金属配線を安定的に得るためには、当該原子を、金属配線を構成する金属と金属間化合物を形成しないように導入することが重要となる。具体的には、当該原子の選択、当該原子を導入する条件、導入対象となる金属配線の表面状態の制御等により、固溶状態を安定的に実現することができる。

【0019】

なお、ストレスマイグレーション耐性等に優れる固溶状態を安定的に得る観点からは、固溶原子として、金属配線を構成する金属と周期表における異なる族に属するものを選択することが好ましい。

【0020】

固溶原子は金属配線の表面近傍に導入されていることが好ましい。また、固溶原子の導入された領域は、金属配線表面近傍の固溶層をなすこととすることができる。

【0021】

固溶層における固溶原子の濃度は、金属配線を構成する金属に対する固溶範囲内とすることが好ましい。たとえばシ銅配線に対してシリコンを導入する場合、0.1原子%以上9原子%以下であることが好ましい。こうすることによって、ストレスマイグレーション耐性やエレクトロマイグレーション耐性を一層顕著に改善することができる。

【0022】

また上記金属配線中、固溶層を除く領域における固溶原子の濃度は、0.1原子%未満であることが好ましい。また、金属配線中、固溶層の厚みは、金属配線の厚みの40%以下とすることができる。こうすることによって、配線抵抗の上昇を抑えつつストレスマイグレーション耐性やエレクトロマイグレーション耐性を改善することができる。

【0023】

【発明の実施の形態】

第一の実施の形態

図2は本実施形態に係る半導体装置の構成を示す断面図である。この半導体装置は、不図

10

20

30

40

50

示のシリコン基板上に成膜された絶縁膜101の上に絶縁膜102が積層され、絶縁膜102に設けられた溝部に銅配線107が設けられた構成を有している。銅配線107の側面と底面は、バリアメタル膜103により覆われている。銅配線107の上面は、拡散防止膜108により覆われており、更にその上に層間絶縁膜110が積層している。

【0024】

銅配線107は、シリコン低濃度領域104と、その上部に設けられたシリコン固溶層106より構成されている。シリコン固溶層106は、銅配線107を構成する銅の結晶構造中にシリコンが格子間元素または置換元素として配置された構造となっている。この点、銅およびシリコンが反応して金属間化合物を形成するシリサイドとは、本質的に構造が異なっている。シリコン固溶層106を構成するシリコン含有銅は、図3(a)のような構造を有しているものと考えられる。すなわち、シリコン固溶層106では、銅の結晶構造(面心立方格子; 格子定数3.6オングストローム)を維持しつつ格子間元素または置換元素としてシリコンが導入された状態となっている。一方、図3(b)は銅シリサイドの構造を模式的に示したものである。銅シリサイドは、シリコン固溶層と異なり、銅の結晶構造は維持されず、銅とシリコンがともに結晶を構成している。ちなみに銅シリサイド Cu_5Si の結晶構造は、 β -Mn型構造、格子定数6.2オングストロームである。こうした結晶構造の相違を示すデータについては、実施例にて後述する。

【0025】

本実施形態では、シリコン低濃度領域104により配線の低い抵抗が実現されるとともに、上述した構造のシリコン固溶層106によりストレスマイグレーション耐性およびエレクトロマイグレーション耐性が顕著に向上する。

【0026】

上記構造のシリコン含有銅を安定的に得るためには、銅膜表面に銅酸化膜を形成した状態でモノシランを照射する方法が有効である。この方法により本発明の意図とする固溶層が安定的に得られる理由は必ずしも明らかではないが、銅酸化膜の介在により、銅とシリコンの急激な反応が抑制され、銅シリサイドの形成が抑えられることによるものと考えられる。上記方法では、いったん銅、酸化銅、シリコン化合物層がこの順で積層した構造が形成される。その後、熱処理を行うと、シリコン化合物層へ銅が拡散し、シリコン含有銅層が形成される。これは、銅へのシリコンの拡散に比べシリコン化合物への銅の拡散の方が速いことによるものと思われる。こうした拡散の態様が、シリコン固溶層の形成に寄与しているものと考えられる。なお、銅膜表面に銅酸化膜を形成せず、フレッシュな銅が露出した状態でモノシランを照射した場合、銅シリサイドが形成されやすい。銅表面に堆積したシリコンが速やかに銅と反応し、銅シリサイドを生成するからである。

【0027】

図4は、上述したシリコン固溶層を安定的に形成するプロセスを示す図である。初めに銅配線をダマシンプロセスにより形成する(S101)。次に、シュウ酸水溶液を用い銅表面の酸化層を除去する(S102)。その後、純水リンスを行い、残存するシュウ酸や不純物を除去する(S103)。

【0028】

つづいて、防食剤、たとえばベンゾトリアゾール(BTA)等のアゾール系化合物を含む液により銅配線の表面を防食処理する(S104)。本実施形態では、BTAを使用する。この処理により、銅表面にBTAが付着し、銅の酸化が抑制される。

【0029】

次に、処理した基板を成膜室に移動した後、成膜室を真空雰囲気にし、BTAを揮発させる(S105)。その後、銅配線に対してシラン照射を行う(S106)。シラン照射は、例えばモノシラン(SiH_4)を照射する等の方法により行うことができる。この照射により、銅配線中にシリコンが導入される。その後、 $SiCN$ 等の拡散防止膜をCVD法により成膜する(S106)。

【0030】

以上のプロセスにおいて、ステップ106におけるシラン照射の条件を最適化することに

より、シリコン固溶層を安定的に形成することが可能となる。具体的には、銅表面に薄膜の酸化層を残存させた状態でシランを照射すること、および、シラン原料ガスの流量を過剰とならないよう最適の範囲とすること等である。酸化層の厚みの制御に関しては、ステップ102およびステップ103の条件を調整することにより、酸化層厚みを好適に制御可能である。

【0031】

また、固溶層を安定的に形成するためには、配線を構成する金属の結晶格子定数と、導入する異種原子の原子半径との関係が重要となる。格子定数に対して原子半径が大きすぎると、本発明の目的に合致する好ましい固溶体を形成し難くなることがあり、エレクトロマイグレーション耐性およびストレスマイグレーション耐性の改良効果が十分に得られない場合がある。配線金属を銅とした場合、銅の格子定数（面心立方格子；格子定数3.6オングストローム）を考慮すると、原子半径は1.4オングストローム以下であることが好ましい。こうした原子半径の異種原子を選択すれば、侵入型固溶体を比較的安定に形成することができる。

【0032】

第二の実施の形態

図5は第二の実施の形態の半導体装置の製造工程手順を示す断面図である。トランジスタなどの半導体素子が形成された半導体基板（不図示）上に、下地絶縁膜101および膜厚500nmの SiO_2 絶縁膜102を成膜した後、ドライエッチングにより SiO_2 絶縁膜102に溝配線用パターンを形成する（図5（a））

次に、図5（b）に示すように、露出した下地絶縁膜101および SiO_2 絶縁膜102の上に、バリアメタルとしてTa/TaN膜105（Ta膜およびTa₂N₅膜がこの順で積層した膜）を膜厚30nmで成膜する。次いで溝配線用パターンを埋め込むように、電解メッキ法によりCu層108を形成する。

【0033】

次に、図5（c）に示すように、溝外部のCu層108およびTa/TaN膜105をCMPにより除去し、Cu配線107を形成する。このCu配線107の表面を、シュウ酸水溶液を用いて洗浄し、銅表面の酸化層を除去する。その後、純水リンスを行い、残存するシュウ酸や不純物を除去する。つづいて、BTA水溶液により銅配線の表面を処理する。この処理により、銅表面に防食材であるBTAが付着する。

【0034】

次に、処理した基板を成膜室に移動した後、成膜室を真空雰囲気にし、BTAを揮発させる。この処理を終了した時点で、Cu配線107表面には酸化銅薄膜が残存する。この酸化銅薄膜は、上述したシュウ酸処理後のリンス工程で形成されたものである。

【0035】

この酸化銅薄膜を介してシラン照射することにより、図5（d）に示すように、銅配線上部にシリコン固溶層106が形成される。シラン照射は、ここではモノシラン（ SiH_4 ）を照射する方法を採用する。具体的には、プラズマCVD装置内において、 SiH_4 ガス流量10～500sccm、 N_2 ガス流量100～1000sccm、処理圧力20Torr以下の条件とし、処理時間は各ガスの流量や処理室の圧力にも依存するが、たとえば150秒間以下とする。これにより、銅層上部にシリコン含有層を形成する。

【0036】

次に、図5（e）に示すように、シリコン固溶層106および SiO_2 絶縁膜102の上にCu拡散防止膜として膜厚50nmの SiCN 膜109を成膜する。この成膜は、上記プラズマCVD装置内で、 $\text{SiH}(\text{CH}_3)_3$ 、 NH_3 、およびHeの反応ガスを用いたプラズマCVD法により行うことができる。

【0037】

その後、上記プラズマCVD装置により、膜厚500nmの SiO_2 層間絶縁膜110を成膜する。以上により本実施形態に係る配線構造を得ることができる。

【0038】

10

20

30

40

50

本実施形態において、シリコン固溶層106の形成に際し、原料ガスとして SiH_4 を用いたが、 Si_2H_6 や SiH_2 や SiH_2Cl_2 といった無機シランガスを用いることもできる。シラン照射は、 O_2 を含まないガス雰囲気中で、処理温度 200°C 以上 450°C 以下、処理圧力 20 Torr 以下として行うことができる。

【0039】

また、シリコン固溶層106にシリコンが拡散されているため、上層のCu拡散防止膜との密着性が良好となる。なお、Cu拡散防止膜との密着性をより向上させるために、Cu配線107中、シリコンが上部に偏在していることが好ましく、シリコン濃度が配線上部で最も高くなるようにすることが望ましい。

【0040】

シリコン固溶層106中のシリコン濃度は、0.1原子%以上、より好ましくは1原子%以上とすることが好ましい。こうすることにより、ストレスマイグレーション耐性およびエレクトロマイグレーション耐性の改善効果が一層顕著となる。また、シリコン濃度の上限については、シリコンが銅配線中に固溶し得る範囲とすることが必要であり、たとえば、9原子%以下、より好ましくは7原子%以下とする。こうすることにより、銅シリサイドとは異なる固溶体を安定的に得ることができる。シリコン固溶層106の厚みは、抵抗上昇を抑制する観点から、ある程度薄くすることが好ましい。たとえば、シリコン濃度0.1原子%以上の領域をシリコン固溶層とし、当該シリコン固溶層を、金属配線の高さの40%以下、より好ましくは20%以下とすることにより、配線抵抗やコンタクト抵抗と、ストレスマイグレーション耐性およびエレクトロマイグレーション耐性とのバランスに優れる配線構造を得ることができる。

【0041】

本実施の形態によれば、エレクトロマイグレーション耐性およびストレスマイグレーション耐性を大幅に改善した金属配線を備える半導体装置が得られる。

【0042】

第三の実施の形態

図6は本実施形態に係る半導体装置の構造を示す断面図である。この半導体装置は、下層配線255がビアプラグを介して上層配線260に接続された構成を有する。

【0043】

下層配線255は積層膜に形成された溝部に設けられている。この溝部は、半導体基板（不図示）上に成膜された下地絶縁膜201、 SiCN 膜202、梯子型の水素化シロキサンである L-Ox （日本電気株式会社の商標）膜203および SiO_2 膜204からなる積層膜に形成されている。下層配線255の側面と底面は Ta/TaN 膜208に覆われている。 L-Ox 膜とは、ラダーオキサイドとよばれる梯子型の水素化シロキサンである。

【0044】

ここで、梯子型水素化シロキサンとは梯子型の分子構造を有するポリマーのことであり、配線遅延防止の観点から誘電率2.9以下のものが好ましく、また膜密度が低いものが好ましい。たとえば、膜密度が 1.50 g/cm^3 以上 1.58 g/cm^3 以下、 633 nm の屈折率が1.38以上1.40以下であることが好ましい。こうした膜材料の具体例として L-Ox 等を例示することができる。なお、 L-Ox のポーラス化した絶縁材料を用いることもできる。

【0045】

ビアプラグは、 SiO_2 膜204上の SiCN 膜211および SiO_2 膜212からなる積層膜に形成された孔部に設けられている。その孔部の側面と底面は Ta/TaN 膜220に覆われ、その中がシリコン含有銅で埋め込まれている。

【0046】

上層配線260は積層膜に形成された溝部に設けられている。その溝部は、 SiO_2 膜212、 SiCN 膜213、 L-Ox 膜216および SiO_2 膜217からなる積層膜に形成されている。上層配線260の側面は Ta/TaN 膜220に覆われ、上層配線260

の上面にはSiCN膜222が形成されている。

【0047】

次に、本実施の形態に係る半導体装置の製造方法について説明する。

【0048】

図7～図10は第三の実施の形態に係る半導体装置の製造工程を示す断面図である。なお、すでに述べた実施の形態と同様な工程については、その詳細な説明は省略する。

【0049】

本実施の形態に係る半導体装置の製造方法では、半導体素子を有する基板上に成膜された下地絶縁膜201上に、第1溝配線の溝部形成のためのエッチングストッパー膜としてSiCN膜202をプラズマCVD法により50nm成膜する。次に、第1の銅溝配線の層間絶縁膜として低誘電率層間絶縁膜であるL-Ox膜203を塗布法により300nm成膜し、400℃の焼成をN₂雰囲気で行う。次に、SiO₂膜204をプラズマCVD法により100nm成膜する。その後、SiO₂膜204とL-Ox膜203をドライエッチングして、第1溝配線パターン207を形成する。

【0050】

次に、ドライエッチングによりエッチングストッパー膜であるSiCN膜202のエッチバックを行い、下地半導体素子との導通面を開口し、エッチング残渣除去のためのウェット剥離を行い、第1溝配線パターン207を形成する。次に、バリアメタルとしてTa/TaN膜208を30nmスパッタリング法により成膜し、つづいて、Ta/TaN膜208の上にCu膜209を膜厚100nmでスパッタリング法により成膜する。その後、電解メッキ法によりCu膜209を700nm成膜し、第1溝配線パターン207を埋め込んでから、結晶化のためにN₂雰囲気で行う400℃、30分の熱処理を行う(図7(b))。

【0051】

次に、SiO₂膜204上のCu膜209およびTa/TaN膜208をCMPにより除去し、シュウ酸処理、純水リンスを経て、BTA溶液による表面処理を行う。これにより、Cu表面がBTA層で酸化防止処理された第1の銅溝配線が形成される(図7(c))。

【0052】

次に、第1の銅溝配線上のBTA層を熱分解により除去するため、プラズマCVD装置内で、処理温度200～450℃、N₂ガス流量100～1000sccm、処理圧力20Torr以下の条件で1分間程度、熱処理を行う。さらに、BTA層除去後、SiH₄ガス流量10～500sccm、N₂ガス流量5000sccm、処理圧力20Torr以下の条件で第1の銅溝配線に240秒間熱処理を行い、シリコン固溶層250を形成する(図7(d))。

【0053】

その後、Cu拡散防止膜となるSiCN膜211(膜厚50nm)、層間絶縁膜となるSiO₂膜212(膜厚400nm)、エッチングストッパー膜となるSiCN膜213(膜厚50nm)を順次成膜する。その上に第2溝配線の層間絶縁膜としてL-Ox膜216を300nm塗布・焼成し、その上にSiO₂膜217を100nm成膜する。つづいて反射防止膜225とフォトレジスト214を塗布し、フォトリソグラフィ技術を用いて、フォトレジストにビア用レジストパターン215を形成する(図8(e))。

【0054】

次に、ビア用レジストパターン215を用いてドライエッチングを行い、SiCN膜211の上部に到達する孔を形成する(図8(f))。その後、アッシングと剥離液処理により、フォトレジスト214、反射防止膜225およびレジスト残渣を除去する。

【0055】

次に、再び反射防止膜225を塗布・焼成し、その上にフォトレジスト218を塗布し、フォトリソグラフィ技術を用いて、フォトレジストに第2溝配線用レジストパターン219を形成する(図9(g))。

10

20

30

40

50

【0056】

つづいて、第2溝配線用レジストパターン219から、 SiO_2 膜217、 L-Ox 膜216、および反射防止膜225をエッチングストッパー膜となる SiCN 膜213までエッチングする。その後、アッシングを行い、第2溝配線用のフォトレジスト218および反射防止膜225を除去し、エッチングによりビア底の SiCN 膜211を除去する。次に、剥離液によりエッチング残渣を除去する(図9(h))。

【0057】

その後、電解メッキ法により Cu 膜を700nm成膜した後、CMPを行い、図10(j)に示すように、上部配線およびビアプラグを構成する銅膜223を形成する。

【0058】

次に、第1の銅溝配線と同様にして、シュウ酸処理、純水リンスおよびBTAによる防食処理を行った後、BTA層を除去し SiH_4 を照射する。これにより、銅膜223およびシリコン固溶層250からなる上層配線260を形成し(図10(j))、その後、 Cu 拡散防止膜として SiCN 膜222を膜厚50nm成膜し、配線構造を形成する(図10(k))。この際、シリコン濃度は、配線の表面で最も高く、底面方向に向かうにつれて低くなっている。

【0059】

第四の実施の形態

本実施形態は、シングルダマシン構造の二層銅配線に本発明を適用した例である。図11は本実施の形態に係る半導体装置の構造を示す断面図である。本実施の形態に係る半導体装置は、下層配線255がシリコン含有銅プラグ228を介して上層配線270に接続された構成を有している。

【0060】

下層配線255は積層膜に形成された溝部に設けられている。その溝部は、半導体基板(不図示)上に成膜された下地絶縁膜201、 SiCN 膜202、 L-Ox 膜203および SiO_2 膜204からなる積層膜に形成されている。下層配線255の側面と底面は Ta/TaN 膜208に覆われている。

【0061】

シリコン含有銅プラグ228は、 SiO_2 膜204上の SiCN 膜211および SiO_2 膜212からなる積層膜に形成された孔部に設けられている。その孔部の側面と底面は Ta/TaN 膜226に覆われている。

【0062】

上層配線270は積層膜に形成された溝部に設けられている。その溝部は、 SiCN 膜213、 L-Ox 膜216および SiO_2 膜217からなる積層膜に形成されている。上層配線270の側面と底面は Ta/TaN 膜220に覆われ、上層配線270の上面には SiCN 膜222が形成されている。

【0063】

次に、本実施の形態に係る半導体装置の製造方法について説明する。

【0064】

図12～図15は本実施形態に係る半導体装置の製造工程を示す断面図である。

【0065】

本実施形態では、まず第三の実施の形態と同様にして下層配線255まで形成する。この際、シリコン濃度は、配線表面で最も高く、底面方向に向かうにつれて低くなっている。

【0066】

次に、第三の実施の形態と同様にして SiCN 膜211、層間絶縁膜である SiO_2 膜212までを順に形成する(図12(a))。

【0067】

次に、成膜した SiO_2 膜212上に反射防止膜225とフォトレジスト214を塗布し、フォトリソグラフィー技術を用いて、ビア用レジストパターン215を形成する(図12(b))。

10

20

30

40

50

【0068】

さらに、ドライエッチング技術によりビアレジストパターンから SiO_2 膜212をエッチングして、ビア用パターンを形成する。その後、アッシングを行い、フォトレジスト214と反射防止膜225を除去する(図12(c))。次に、ビア底の SiCN 膜211をエッチバックする。次に、剥離液によりエッチング残渣を除去する(図12(d))。

【0069】

その後、スパッタリング法により、膜厚30nmの Ta/TaN 膜226を成膜し、この上にシード用の Cu 膜(不図示)を形成した後、電解メッキ法により Cu 膜227を700nm成膜し、ビアパターンに埋め込む。その後、結晶化のために400℃の熱処理を行う(図13(e))。

10

【0070】

次に、 SiO_2 膜212上の Cu 膜227および Ta/TaN 膜226をCMPにより除去し、シュウ酸処理、純水リンス処理を経た後、BTA溶液による表面処理により Cu 表面がBTA層で酸化防止処理された銅ビアプラグを形成する(図13(f))。

【0071】

次に、第3実施の形態で下層配線255を形成した際と同じ工程によりシリコン含有銅プラグ228を形成し、第2の Cu 拡散防止膜として SiCN 膜213を50nm成膜する(図13(g))。

【0072】

次に、第2の層間絶縁膜として L-Ox 膜216を300nm塗布・焼成し、その上に SiO_2 膜217を100nm成膜する。次に、反射防止膜225とフォトレジスト218を塗布し、フォトリソグラフィ技術を用いて、フォトレジスト218に第2溝配線用レジストパターン219を形成する(図14(h))。

20

【0073】

次に、フォトレジスト218をマスクにして、第2溝配線の層間絶縁膜である SiO_2 膜217と L-Ox 膜216をエッチングする。次に、アッシングによりフォトレジスト218と反射防止膜225を除去する。次に、全面エッチバックにより、第2の Cu 拡散防止膜の SiCN 膜213を除去する。次に、剥離液によりエッチング残渣を除去する(図14(i))。

【0074】

その後、スパッタリング法により、 Ta/TaN 膜220を30nm成膜し、 Ta/TaN 膜220の上にシード用の Cu 膜(不図示)を100nm成膜する。次に、電解メッキ法により Cu 膜221を700nm成膜し、次いでCMPにより、上部配線を形成する。その後、配線表面をシュウ酸水溶液を用いて洗浄し、銅表面の酸化層を除去し、純水リンスを行い、残存するシュウ酸や不純物を除去する。つづいて、BTA水溶液により銅配線の表面を処理する。この処理により、銅表面に防食材であるBTAが付着する(図14(j))。

30

【0075】

次に、下層配線255およびシリコン含有銅プラグ228の形成工程と同様にして、BTA層を除去し、 SiH_4 を照射することにより上層配線270を形成し(図15(k))、 Cu 拡散防止膜として SiCN 膜222を膜厚50nmで成膜する(図15(l))。上層配線270中のシリコン濃度は、配線表面で最も高く、底面方向に向かうにつれて低くなっている。

40

【0076】

上述のように、本実施の形態にて形成された配線は、配線全体にシリコンを拡散させ、シリコン含有金属配線を形成することにより、最表面のみにシリサイド層を形成する場合よりも、金属配線の金属粒子の移動を抑制する効果が向上できる。

【0077】

さらに、本実施形態では、シングルダマシン構造を採用しているため、ビアと上層配線の間にバリアメタル膜が介在する構造となるため、ストレスマイグレーション耐性が向上す

50

る。

【0078】

以上、実施の形態に基づいて本発明を説明したが、これらは例示であり、その構成やプロセスを適宜変更することができる。

【0079】

たとえば、上記実施の形態において、層間絶縁膜に SiO_2 膜を用いた実施の形態において、溝配線層間絶縁膜と同様に L-Ox 膜と SiO_2 膜の積層構造を用いてもよい。また、 L-Ox 膜のマスク絶縁膜として SiO_2 膜を用いているが、 L-Ox とのエッチング選択性に優れ、アッシングおよびウェット剥離液に対する耐性が優れていれば、 SiC 膜、 SiCN 膜、および SiOC 膜などの絶縁膜を用いても良い。さらに、低誘電率層間絶縁膜として L-Ox を用いているが、 SiOF 膜、 SiOC 膜、および有機膜などの、 SiO_2 膜より比誘電率が低い絶縁膜であればよい。

10

【0080】

上記実施の形態では銅配線を用いたが、配線中に Al 、 Ag （銀）、 W （タングステン）、 Mg （マグネシウム）、 Be （ベリリウム）、 Zn （亜鉛）、 Pc （パラジウム）、 Cd （カドミウム）、 Au （金）、 Hg （水銀）、 Pt （白金）、 Zr （ジルコニウム）、 Ti （チタン）、 Sn （スズ）、 Ni （ニッケル）、 Nd （ネオジウム）および Fe （鉄）といった異種元素のうち少なくとも一つと合金を形成した銅合金配線とすることもできる。

【0081】

また上記実施の形態ではバリアメタルに Ta/TaN 膜を用いたが、バリアメタルは、 Ti 、 TiN 、 TiSiN 、 Ta 、 TaN 、および TaSiN のうち少なくとも一つ有する構成とすることもできる。

20

【0082】

また、配線表面に酸化防止膜を形成するために BTA を用いているが、他のアゾール系化合物等を用いることもできる。 BTA より溶解度の高い BTA 誘導体であってもよい。

【0083】

また、第四の実施の形態において、ビアプラグの表面にシリコン固溶層を形成してもよい。この場合、図13(f)の段階でビアの表面処理を適宜行い、その後、シラン照射する。これにより、ストレスマイグレーション耐性やエレクトロマイグレーション耐性をさらに向上させることができる。

30

【0084】

【実施例】

実施例1

シリコン基板上にメッキ法により銅膜を形成し、その後、アニール、シュウ酸処理、純水リンスおよび BTA （ベンゾトリアゾール）処理を行った。以上の処理を行った銅膜を複数用意し、その一つを試料1とする。

【0085】

さらに、真空雰囲気下、上記銅膜に対して $350^\circ\text{C} \sim 400^\circ\text{C}$ に昇温して BTA を揮発させ、その後、モノシランを照射し、試料2を得た。シラン照射条件は、 SiH_4 ガス流量 $10 \sim 500 \text{ sccm}$ 、 N_2 ガス流量 $100 \sim 1000 \text{ sccm}$ 、処理圧力 20 Torr 以下、処理時間 100 秒間とした。

40

【0086】

また、真空雰囲気下、上記銅膜に対して $350^\circ\text{C} \sim 400^\circ\text{C}$ に昇温して BTA を揮発させた後、アンモニアプラズマ処理を行った後、モノシランを照射し、試料3を得た。アンモニアプラズマ処理条件は、アンモニア $50 \sim 500 \text{ sccm}$ 、RFパワー $50 \text{ W} \sim 300 \text{ W}$ 、処理時間 $5 \sim 30 \text{ sec}$ とした。モノシランの照射は、 SiH_4 ガス流量 $10 \sim 500 \text{ sccm}$ 、処理時間 100 sec とした。

【0087】

得られた試料について電子線回折分析を行った。図16～図18は、試料1～3に対応し

50

、その格子定数等から、それぞれ、銅、シリコン含有銅（シリコン固溶体）および銅シリサイドであることが確認された。分析条件は以下のようにした。

【0088】

TEM観察：電子線加速電圧200kV

電子回折：電子線加速電圧200kV、電子線プローブ径 約3nm

EDX分析：電子線加速電圧200kV、STEM-EDX分析時電子線プローブ径 約1nm

図16～図18の結果から、試料2は試料1（純銅）と同じ格子定数を有し同じ結晶構造をとることが明らかになった。また、試料3は、これらと異なる格子定数、結晶構造をとることが明らかになった。以下、結晶構造の解析結果を示す。

試料1、2

Cuおよびシリコン含有銅 立方晶(面心立方構造) $a=3.6$ オングストローム

試料3

Cu₅Si 立方晶(β -Mn型構造) $a=6.2$ オングストローム

【0089】

実施例2

本実施例では、図19に示すような、下層のM1配線および上層のM2配線がビアで接続された2層銅配線構造を作製し、歩留試験を行った。配線構造は、以下の2点の試料を用意し評価した。

【0090】

(i)第二の実施の形態と同様の方法で作製したもの。下層のM1配線および上層のM2配線の表面を、実施例1の試料2と同様に処理した。

【0091】

(ii)第二の実施の形態で説明したプロセスにおいて、シラン照射条件、シュウ酸処理およびその後のリンス工程等における条件を変更し、銅シリサイドを形成したもの。下層のM1配線および上層のM2配線の表面を、実施例1の試料3と同様に処理した。

【0092】

これらの処理により得られた配線表面について、その結晶構造を電子線回折により確認したところ、試料(i)がシリコン固溶体、(ii)が銅シリサイドであることが確認された。

【0093】

この2層配線構造は、ビアチェーンとよばれるものであり、50万本のビアと、その上部および下部に設けられた配線とからなる。配線およびビアはいずれも銅からなる。ビアチェーンの端部2点に所定の電圧を印加することにより、これらの配線およびビアからなる配線の電気抵抗が測定される。これをチェーン抵抗とよぶ。チェーン抵抗は、ビアの接続状態の良否を判別するのに有効な手法である。本実施例では、シリコンウエハ上に設けられた各チップに上記ビアチェーンを形成し、各ビアチェーンの抵抗値を測定した。測定値が基準値以下の場合合格、基準値を超える場合は不合格とした。全チップ数のうち合格したチップの占める割合をビア歩留りとした。

【0094】

評価結果を図20に示す。第二の実施の形態で記載した方法で作製した素子は、銅シリサイドを形成したものに比べ、歩留まりが向上した。

【0095】

実施例3

図21は二層配線によるビアチェーンの歩留まりの評価結果を示すグラフである。銅中にシリコンが固溶した(i)の試料は、シリサイド銅配線よりも良好な歩留まりを示すことが確認された。

【0096】

【発明の効果】

以上説明したように本発明によれば、エレクトロマイグレーション耐性あるいはストレスマイグレーション耐性を大幅に改善した金属配線を備える半導体装置を提供することができる。したがって、素子寿命の長い半導体装置を得ることができる。

10

20

30

40

50

【図面の簡単な説明】

- 【図 1】 ストレスマイグレーションの発生状況を説明するための図である。
 【図 2】 実施の形態に係る配線構造を示す図である。
 【図 3】 シリコン固溶層および銅シリサイドの結晶構造の相違を示す図である。
 【図 4】 実施の形態における銅配線形成プロセスのフローチャートである。
 【図 5】 実施の形態における銅配線形成プロセスを示す工程断面図である。
 【図 6】 実施の形態における銅配線形成プロセスを示す工程断面図である。
 【図 7】 実施の形態における銅配線形成プロセスを示す工程断面図である。
 【図 8】 実施の形態における銅配線形成プロセスを示す工程断面図である。
 【図 9】 実施の形態における銅配線形成プロセスを示す工程断面図である。 10
 【図 10】 実施の形態における銅配線形成プロセスを示す工程断面図である。
 【図 11】 実施の形態における銅配線形成プロセスを示す工程断面図である。
 【図 12】 実施の形態における銅配線形成プロセスを示す工程断面図である。
 【図 13】 実施の形態における銅配線形成プロセスを示す工程断面図である。
 【図 14】 実施の形態における銅配線形成プロセスを示す工程断面図である。
 【図 15】 実施の形態における銅配線形成プロセスを示す工程断面図である。
 【図 16】 銅の電子回折図形である。
 【図 17】 シリコン固溶層の電子回折図形である。
 【図 18】 銅シリサイドの電子回折図形である。
 【図 19】 実施例で用いた 2 層配線の構造を説明するための図である。 20
 【図 20】 実施例におけるストレスマイグレーション耐性の評価結果を示す図である。
 【図 21】 実施例におけるエレクトロマイグレーション耐性の評価結果を示す図である。

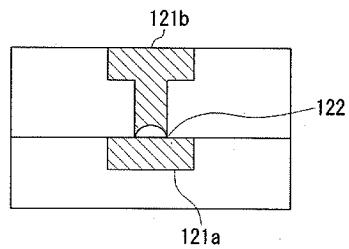
【符号の説明】

- 1 0 1 絶縁膜
 1 0 2 絶縁膜
 1 0 3 バリアメタル膜
 1 0 4 シリコン低濃度領域
 1 0 5 Ta / TaN 膜
 1 0 6 シリコン固溶層
 1 0 7 銅配線 30
 1 0 8 拡散防止膜
 1 0 9 SiCN 膜
 1 1 0 層間絶縁膜
 1 2 1 a 下層配線
 1 2 1 b 上層配線
 1 2 2 空洞
 2 0 1 下地絶縁膜
 2 0 2 SiCN 膜
 2 0 3 L-Ox 膜
 2 0 4 SiO₂ 膜 40
 2 0 5 フォトレジスト
 2 0 7 第 1 溝配線パターン
 2 0 8 Ta / TaN 膜
 2 0 9 Cu 膜
 2 1 1 SiCN 膜
 2 1 2 SiO₂ 膜
 2 1 3 SiCN 膜
 2 1 4 フォトレジスト
 2 1 5 ビア用レジストパターン
 2 1 6 L-Ox 膜 50

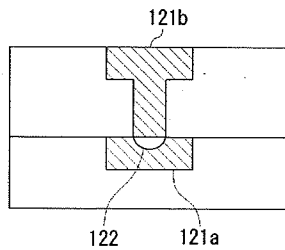
- 2 1 7 SiO_2 膜
- 2 1 8 フォトレジスト
- 2 1 9 第2 溝配線用レジストパターン
- 2 2 0 Ta/TaN 膜
- 2 2 1 Cu 膜
- 2 2 2 SiCN 膜
- 2 2 3 銅膜
- 2 2 5 反射防止膜
- 2 2 6 Ta/TaN 膜
- 2 2 7 Cu 膜
- 2 2 8 シリコン含有銅プラグ
- 2 5 0 シリコン固溶層
- 2 5 5 下層配線
- 2 6 0 上層配線
- 2 7 0 上層配線

【図 1】

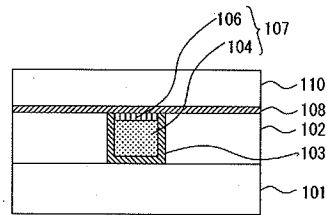
(a)



(b)

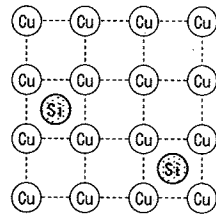


【図 2】

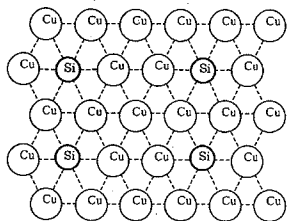


【図 3】

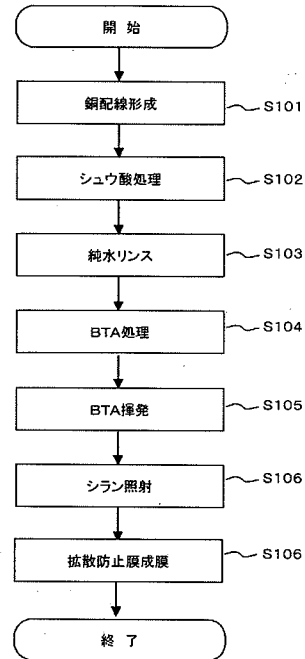
(a)



(b)



【図 4】

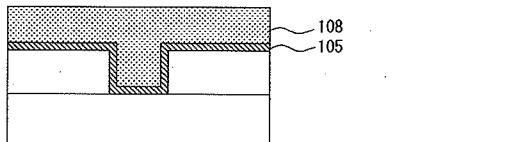


【図 5】

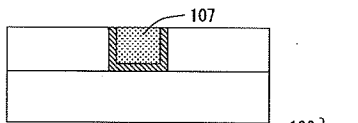
(a)



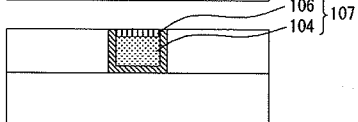
(b)



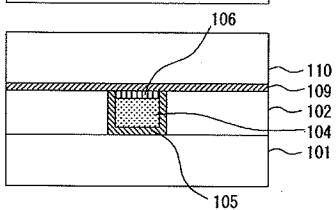
(c)



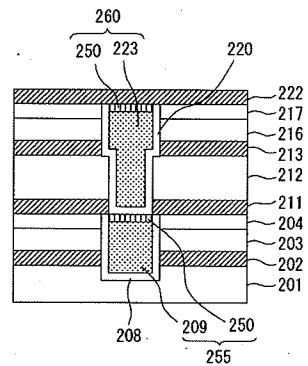
(d)



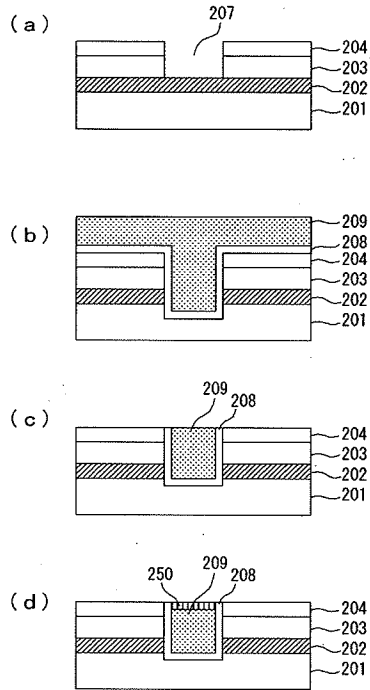
(e)



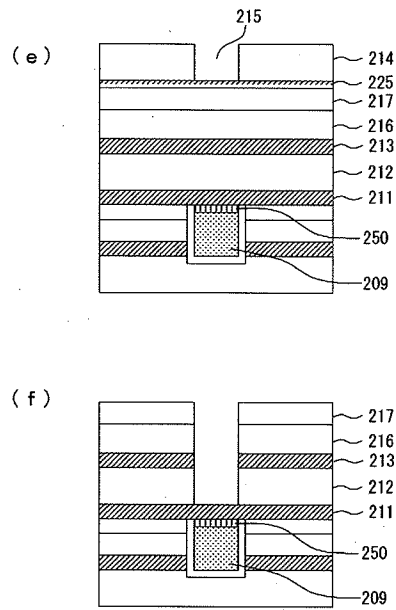
【図 6】



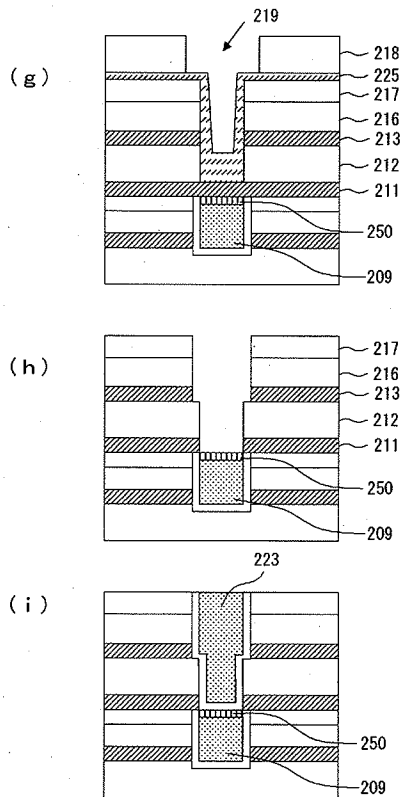
【図 7】



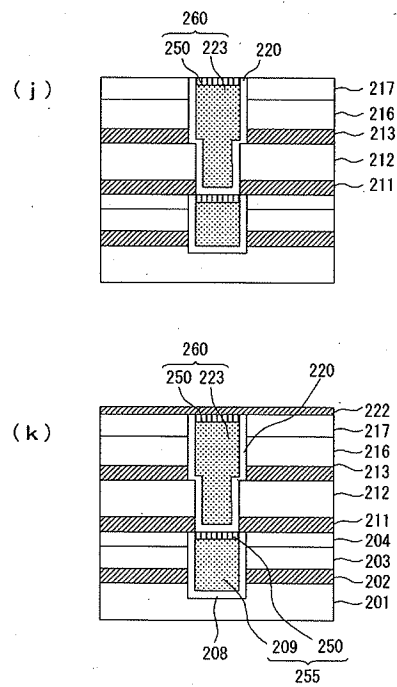
【図 8】



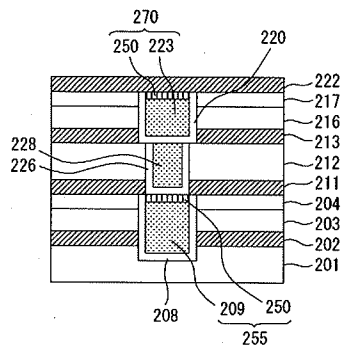
【図 9】



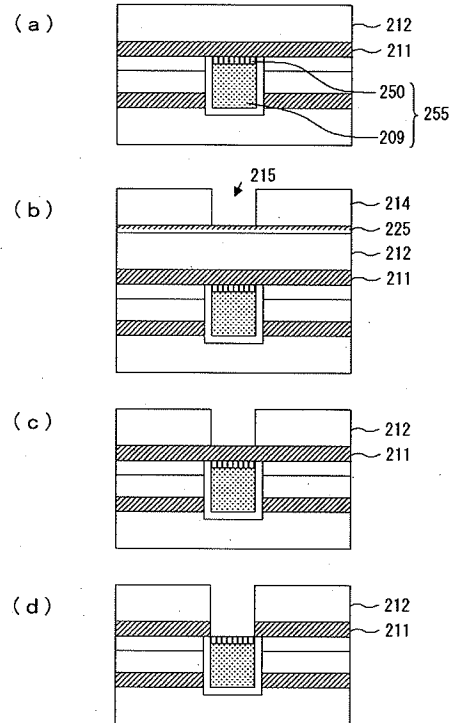
【図 10】



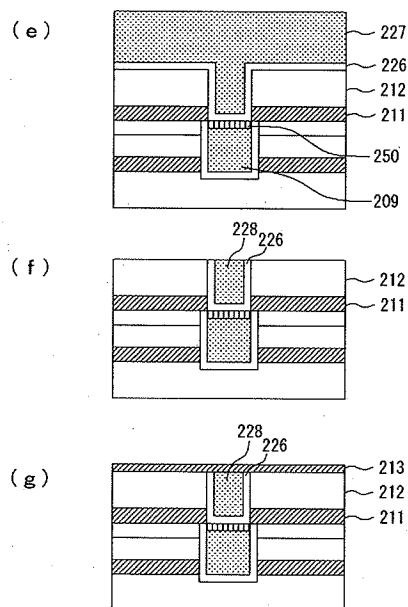
【図 1 1】



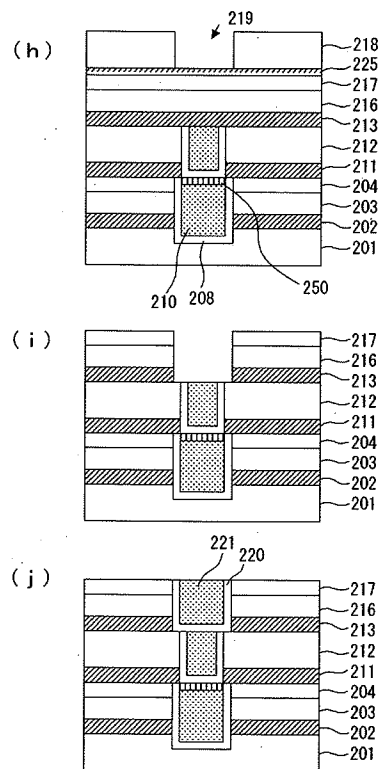
【図 1 2】



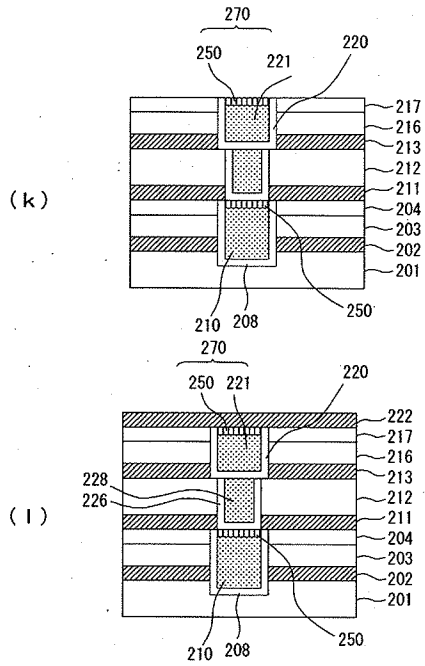
【図 1 3】



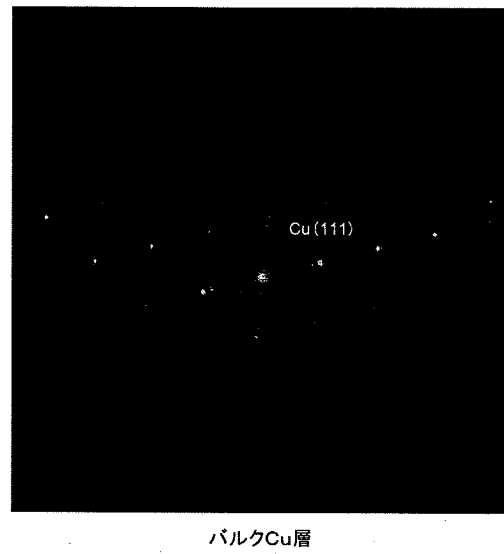
【図 1 4】



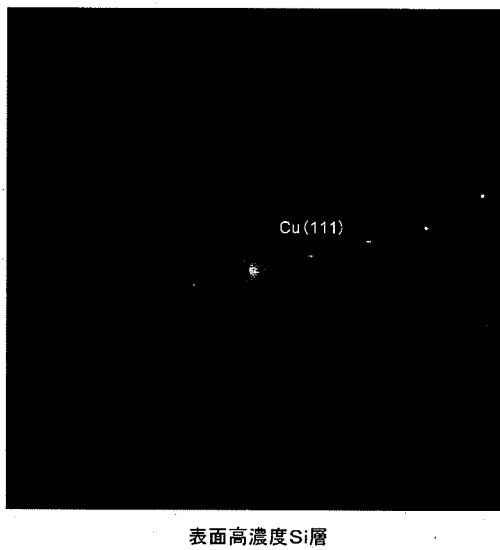
【図 15】



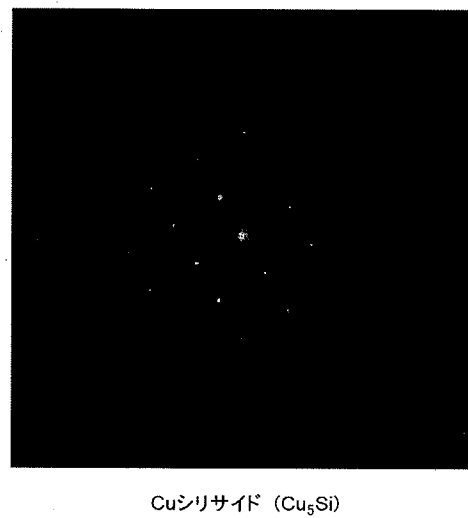
【図 16】



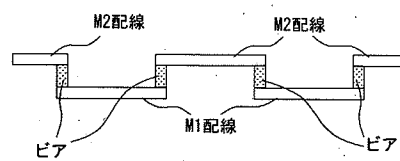
【図 17】



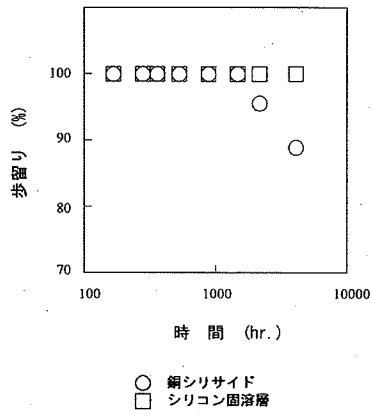
【図 18】



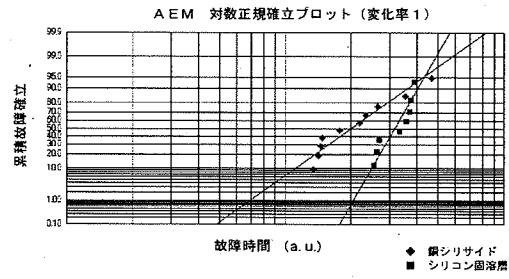
【図 19】



【図 20】



【図 21】



フロントページの続き

(72)発明者 武田 健

神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

(72)発明者 青木 秀充

神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

F ターム(参考) 5F033 HH11 HH12 HH18 HH21 HH32 HH33 JJ01 JJ11 JJ18 JJ21
JJ32 JJ33 KK11 KK12 KK18 KK21 KK32 KK33 LL01 LL02
MM01 MM12 MM13 NN06 NN07 PP15 PP27 QQ09 QQ11 QQ25
QQ37 QQ59 QQ61 QQ62 QQ73 RR01 RR04 RR11 SS15 WW01
WW02 WW04 XX05 XX06